

#2



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

출원 번호 : 10-2002-0059398
Application Number

출원 년 월 일 : 2002년 09월 30일
Date of Application

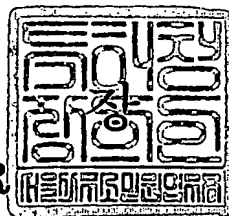
출원인 : 주식회사 디엠비테크놀로지
Applicant(s) D·M·B Technology Co., Ltd.



2003 년 09 월 03 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0008
【제출일자】	2002.09.30
【국제특허분류】	H01L
【발명의 명칭】	게이트 콘트롤러보다 높은 전원전압을 사용하는 전력 모스 트랜지스터의 게이트 구동회로
【발명의 영문명칭】	Gate Driving Circuit for Power MOSFETs applied to the higher voltage of power than the Gate Controller
【출원인】	
【명칭】	디엠비테크놀로지 주식회사
【출원인코드】	1-2002-033644-0
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2002-069618-1
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2002-069619-9
【발명자】	
【성명의 국문표기】	류태하
【성명의 영문표기】	RY00,Tae Ha
【주민등록번호】	690202-1770123
【우편번호】	305-805
【주소】	대전광역시 유성구 신성동 153 하나아파트 107동 1403호
【국적】	KR
【발명자】	
【성명의 국문표기】	장병탁
【성명의 영문표기】	JANG,Byung Tak
【주민등록번호】	690826-1773116

【우편번호】 302-739
【주소】 대전광역시 서구 만년동 상아아파트 106동 1107호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 이해영 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 3 면 3,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 6 항 301,000 원
【합계】 333,000 원
【감면사유】 소기업 (70%감면)
【감면후 수수료】 99,900 원
【첨부서류】 1. 요약서·명세서(도면)_1통 2. 소기업임을 증명하는 서류_1통

【요약서】**【요약】**

게이트 콘트롤러보다 높은 전원전압을 사용하는 전력 모스 트랜지스터의 게이트 구동회로가 개시된다. 상기 게이트 구동회로는, 게이트 콘트롤러의 출력신호를 게이트 콘트롤러의 전원전압보다 더 높은 전원전압을 사용하는 전력 모스 트랜지스터에 전달할 때 게이트 콘트롤러의 출력신호를 듀티 싸이클 및 주파수에 관계없이 안정되고 효율적으로 전달할 수 있다. 따라서 상기 게이트 구동회로는 게이트 콘트롤러 출력신호의 듀티 싸이클의 변화가 크고 스위칭 주파수가 일정하지 않은 경우에 적합하다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

게이트 콘트롤러보다 높은 전원전압을 사용하는 전력 모스 트랜지스터의 게이트 구동회로{Gate Driving Circuit for Power MOSFETs applied to the higher voltage of power than the Gate Controller}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 디지털 오디오 증폭기에서 전력 모스 트랜지스터의 게이트를 구동하는 종래의 회로를 나타내는 도면이다.

도 2A 내지 도 2C는 듀티-사이클이 매우 작을 때 도 1에 도시된 회로의 주요 노드들(VGC, VGP, VGN)의 전압을 나타낸다.

도 3은 디지털 오디오 증폭기에서 본 발명의 제1실시예에 따른 전력 모스 트랜지스터의 게이트 구동회로를 나타내는 도면이다.

도 4는 본 발명의 제2실시예에 따른 전력 모스 트랜지스터의 게이트 구동회로를 나타내는 도면이다.

도 5는 본 발명의 제3실시예에 따른 전력 모스 트랜지스터의 게이트 구동회로를 나타내는 도면이다.

도 6은 본 발명의 제4실시예에 따른 전력 모스 트랜지스터의 게이트 구동회로를 나타내는 도면이다.

도 7은 본 발명의 제5실시예에 따른 전력 모스 트랜지스터의 게이트 구동 회로를 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 디지털 오디오 증폭기에서 전력 모스 트랜지스터의 게이트 구동 회로에 관한 것으로, 특히 전력 모스 트랜지스터의 게이트를 제어하는 게이트 컨트롤러보다 높은 전원전압을 사용하는 전력 모스 트랜지스터의 게이트 구동 회로에 관한 것이다.

<10> 도 1은 디지털 오디오 증폭기에서 전력 모스 트랜지스터의 게이트를 구동하는 종래의 회로를 나타내는 도면이다. 도 1을 참조하면, 전력 피모스 트랜지스터(PM)의 소오스에는 제1전원전압(VDD), 즉 양(Positive) 전원전압이 인가되고 전력 엔모스 트랜지스터(NM)의 소오스에는 제2전원전압(VSS), 즉 음(Negative) 전원전압이 인가된다. 게이트 컨트롤러(11)는 제1전원전압(VDD)보다 낮은 제3전원전압(VCC) 및 제2전원전압(VSS)보다 절대값 측면에서 낮은 제4전원전압(VEE)을 사용한다.

<11> 종래의 게이트 구동 회로(13)에서는 게이트 컨트롤러(11)와 전력 모스 트랜지스터들(PM, NM) 사이의 전원전압의 차를 보상하면서 게이트 컨트롤러(11)의 출력신호를 전력 모스 트랜지스터들(PM, NM)에 전달하기 위해서 일반적으로 커패시

터들(C1,C2)이 사용된다. 또한 커패시터들(C1,C2)이 충방전될 수 있도록 저항들(R1,R2)이 삽입된다.

<12> 도 2A 내지 도 2C는 듀티-사이클이 매우 작을 때 도 1에 도시된 회로의 주요 노드들(VGC, VGP, VGN)의 전압을 나타낸다.

<13> 그런데 상기 종래의 구동회로에서는 게이트 콘트롤러(11)의 출력신호(VGC)의 듀티-사이클(Duty-Cycle)이 50% 근처에서는 동작에 문제가 없지만 50%에서 벗어나게 되면 전력 MOS 트랜지스터들(PM,NM)중 한 쪽은 턴온(Turn-On) 저항이 감소하는데 반해서 다른 한쪽은 턴온 저항이 증가한다. 즉 도 2B에서 보는 바와 같이 전력 피모스 트랜지스터(PM)의 게이트 신호(VGP)의 진폭은 게이트 콘트롤러(11)의 출력신호(VGC)와 같으나, 게이트 전위가 소오스 전위인 VDD 아래로 조금 밖에 내려가지 않음으로 인하여 전력 피모스 트랜지스터(PM)을 턴온시킬 수 있는 유효 게이트 전압이 작아지게 된다. 따라서 전력 피모스 트랜지스터(PM)가 턴온되지 않거나 턴온되더라도 매우 큰 온 저항을 갖게 된다.

<14> 반대로 듀티-사이클이 매우 클 때는 전력 엔모스 트랜지스터(NM)이 턴온되지 않거나 턴온되더라도 매우 큰 온 저항을 갖게 된다. 다시말해 상기 종래의 구동회로는 게이트 콘트롤러(11)의 출력신호의 주파수 및 듀티-사이클에 영향을 받으며 듀티 사이클이 매우 작거나 매우 클때는 전력 MOS 트랜지스터들을 효율적이고 안정적으로 구동하지 못하는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<15> 따라서 본 발명이 이루고자하는 기술적 과제는, 전력 모스 트랜지스터들이 게이트 콘트롤러보다 높은 전원전압을 사용하는 경우 게이트 콘트롤러의 출력신호의 주파수 및 듀티-싸이클에 무관하게 효율적이고 안정적으로 전력 모스 트랜지스터들을 구동할 수 있는 게이트 구동회로를 제공하는 데 있다.

【발명의 구성 및 작용】

<16> 상기 기술적 과제를 달성하기 위한 본 발명의 제1실시예에 따른 게이트 구동회로는, 소오스에 제1전원전압이 인가되고 드레인에 출력단이 연결되는 전력 피모스 트랜지스터, 드레인에 상기 출력단이 연결되고 소오스에 제2전원전압이 인가되는 전력 엔모스 트랜지스터, 상기 제1전원전압보다 낮은 제3전원전압 및 상기 제2전원전압보다 절대값 측면에서 낮은 제4전원전압을 사용하고 상기 전력 피모스 트랜지스터의 게이트와 상기 전력 엔모스 트랜지스터의 게이트를 제어하는 게이트 콘트롤러, 및 상기 출력단에 연결되고 인덕터와 커패시터로 구성되는 출력단 필터를 구비하는 디지털 오디오 증폭기에서의 전력 모스 트랜지스터의 게이트 구동회로에 있어서,

<17> 상기 제1전원전압과 상기 전력 피모스 트랜지스터의 게이트 사이에 연결되는 제1저항; 상기 제2전원전압과 상기 전력 엔모스 트랜지스터의 게이트 사이에 연결되는 제2저항; 상기 게이트 콘트롤러의 출력단과 상기 전력 피모스 트랜지스터의 게이트 사이에 연결되는 제1커패시터; 상기 게이트 콘트롤러의 출력단과 상기 전력 엔모스 트랜지스터의 게이트 사이에 연결되는 제2커패시터; 상기 게이트 콘트롤러의 출력단과 상기 전력 피모스 트랜지스터의 게이트 사이에 연결되는

제1제너다이오드; 및 상기 게이트 콘트롤러의 출력단과 상기 전력 엔모스 트랜지스터의 게이트 사이에 연결되는 제2제너다이오드를 구비하는 것을 특징으로 한다.

<18> 상기 기술적 과제를 달성하기 위한 본 발명의 제2실시예에 따른 게이트 구동회로는, 소오스에 제1전원전압이 인가되고 드레인에 출력단이 연결되는 전력 피모스 트랜지스터, 드레인에 상기 출력단이 연결되고 소오스에 제2전원전압이 인가되는 전력 엔모스 트랜지스터, 상기 제1전원전압보다 낮은 제3전원전압 및 상기 제2전원전압보다 절대값 측면에서 낮은 제4전원전압을 사용하고 상기 전력 피모스 트랜지스터의 게이트와 상기 전력 엔모스 트랜지스터의 게이트를 제어하는 게이트 콘트롤러, 및 상기 출력단에 연결되고 인덕터와 커패시터로 구성되는 출력단 필터를 구비하는 디지털 오디오 증폭기에서의 전력 모스 트랜지스터의 게이트 구동회로에 있어서,

<19> 상기 제1전원전압과 상기 전력 피모스 트랜지스터의 게이트 사이에 연결되는 제1저항; 상기 제2전원전압과 상기 전력 엔모스 트랜지스터의 게이트 사이에 연결되는 제2저항; 상기 게이트 콘트롤러의 출력단과 상기 전력 피모스 트랜지스터의 게이트 사이에 연결되는 제1커패시터; 상기 게이트 콘트롤러의 출력단과 상기 전력 엔모스 트랜지스터의 게이트 사이에 연결되는 제2커패시터; 일단이 상기 제1전원전압에 연결되는 제1제너다이오드; 일단이 상기 제1제너다이오드의 타단에 연결되고 타단이 상기 전력 피모스 트랜지스터의 게이트에 연결되는 제2제너다이오드; 일단이 상기 제2전원전압에 연결되는 제3제너다이오드; 및 일단이 상

기 제3제너다이오드의 타단에 연결되고 타단이 상기 전력 엔모스 트랜지스터의 게이트에 연결되는 제4제너다이오드를 구비하는 것을 특징으로 한다.

<20> 상기 기술적 과제를 달성하기 위한 본 발명의 제3실시예에 따른 게이트 구동회로는, 소오스에 제1전원전압이 인가되고 드레인에 출력단이 연결되는 전력 피모스 트랜지스터, 드레인에 상기 출력단이 연결되고 소오스에 제2전원전압이 인가되는 전력 엔모스 트랜지스터, 상기 제1전원전압보다 낮은 제3전원전압 및 상기 제2전원전압보다 낮은 제4전원전압을 사용하고 상기 전력 피모스 트랜지스터의 게이트와 상기 전력 엔모스 트랜지스터의 게이트를 제어하는 게이트 콘트롤러, 및 상기 출력단에 연결되고 인덕터와 커패시터로 구성되는 출력단 필터를 구비하는 디지털 오디오 증폭기에서의 전력 모스 트랜지스터의 게이트 구동회로에 있어서,

<21> 상기 제1전원전압과 상기 전력 피모스 트랜지스터의 게이트 사이에 연결되는 제1저항; 상기 제2전원전압과 상기 전력 엔모스 트랜지스터의 게이트 사이에 연결되는 제2저항; 일단이 상기 게이트 콘트롤러의 출력단에 연결되는 제1커패시터; 일단이 상기 게이트 콘트롤러의 출력단에 연결되는 제2커패시터; 일단이 상기 제1전원전압에 연결되고 타단이 상기 전력 피모스 트랜지스터의 게이트에 연결되는 제1제너다이오드; 일단이 상기 제1커패시터의 타단에 연결되고 타단이 상기 전력 피모스 트랜지스터의 게이트에 연결되는 제2제너다이오드; 일단이 상기 제2전원전압에 연결되고 타단이 상기 전력 엔모스 트랜지스터의 게이트에 연결되는 제3제너다이오드; 및 일단이 상기 제2커패시터의 타단에 연결되고 타단이 상

기 전력 엔모스 트랜지스터의 게이트에 연결되는 제4제너다이오드를 구비하는 것을 특징으로 한다.

<22> 상기 제2실시에 또는 제3실시에에 따른 게이트 구동회로는, 상기 전력 피모스 트랜지스터의 게이트, 상기 전력 엔모스 트랜지스터의 게이트, 및 상기 게이트 콘트롤러의 출력단에 연결되는 전류원을 더 구비할 수 있다.

<23> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예들을 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<24> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<25> 도 3은 디지털 오디오 증폭기에서 본 발명의 제1실시에에 따른 전력 모스 트랜지스터의 게이트 구동회로를 나타내는 도면이다.

<26> 도 3을 참조하면, 전력 피모스 트랜지스터(PM1)의 소오스에는 제1전원전압(VDD), 즉 양(Positive) 전원전압이 인가되고 전력 엔모스 트랜지스터(NM1)의 소오스에는 제2전원전압(VSS), 즉 음(Negative) 전원전압이 인가된다. 게이트 콘트롤러(31)는 제1전원전압(VDD)보다 낮은 제3전원전압(VCC) 및 제2전원전압(VSS)보다 낮은 제4전원전압(VEE)을 사용한다. 출력단(VD), 즉 전력 피모스 트랜지스터(PM1)과 전력 엔모스 트랜지스터(NM1)의 접합점에는 인덕터(L)와 커패시터(C)로

구성되는 필터(35)가 연결되고, 필터(35)의 출력단(VOUT)에 스피커(37)가 연결된다.

<27> 본 발명의 제1실시예에 따른 게이트 구동회로(33)는, 제1전원전압(VDD)과 전력 피모스 트랜지스터(PM1)의 게이트 사이에 연결되는 제1저항(R1), 제2전원전압(VSS)과 전력 엔모스 트랜지스터(NM1)의 게이트 사이에 연결되는 제2저항(R2), 게이트 콘트롤러(31)의 출력단과 전력 피모스 트랜지스터(PM1)의 게이트 사이에 연결되는 제1커패시터(C1), 게이트 콘트롤러(31)의 출력단과 전력 엔모스 트랜지스터(NM1)의 게이트 사이에 연결되는 제2커패시터(C2), 게이트 콘트롤러(31)의 출력단과 전력 피모스 트랜지스터(PM1)의 게이트 사이에 연결되는 제1제너다이오드(D1), 및 게이트 콘트롤러(31)의 출력단과 전력 엔모스 트랜지스터(NM1)의 게이트 사이에 연결되는 제2제너다이오드(D2)를 구비한다.

<28> 좀더 설명하면, 커패시터들(C1,C2)이 과충전되는 것을 막기 위하여 커패시터들과 병렬로 제너다이오드들(D1,D2)이 연결되어 사용된다. 이때 커패시터의 충전 전압은 제너 다이오드의 항복 전압 이하로 제한된다. 전력 피모스 트랜지스터(PM1)의 게이트에는 게이트 콘트롤러(31)의 출력신호에 커패시터(C1)의 충전 전압을 더한 신호가 전달되며, 전력 엔모스 트랜지스터(NM1)의 게이트에는 게이트 콘트롤러(31)의 출력신호에 커패시터(C2)의 충전 전압을 뺀 신호가 전달된다.

<29> 도 3의 회로에서는 제너 다이오드(D1,D2)의 항복전압을 조정해 커패시터들(C1,C2)에 원하는 전압 만큼만 충전되도록 할 수 있다. 따라서 도 3의 회로에서는 도 1에 도시된 종래의 회로와 달리 커패시터들(C1,C2)이 과충전 되지 않으므

로 전력 모스 트랜지스터(PM1, NM1)들이 충분히 켜질 수 있고 커패시터를 충방전시키는 저항들(R1, R2)의 값을 조절함으로써 동작전류를 충분히 줄이면서 듀티-사이클에 관계없이 안정된 동작을 할 수 있다.

<30> 도 4는 본 발명의 제2실시예에 따른 전력 모스 트랜지스터의 게이트 구동회로를 나타내는 도면이다.

<31> 도 4를 참조하면, 본 발명의 제2실시예에 따른 게이트 구동회로(43)는, 제1전원전압(VDD)과 전력 피모스 트랜지스터(PM1)의 게이트 사이에 연결되는 제1저항(R1), 제2전원전압(VSS)과 전력 엔모스 트랜지스터(NM1)의 게이트 사이에 연결되는 제2저항(R2), 게이트 콘트롤러(31)의 출력단과 전력 피모스 트랜지스터(PM1)의 게이트 사이에 연결되는 제1커패시터(C1), 게이트 콘트롤러(31)의 출력단과 전력 엔모스 트랜지스터(NM1)의 게이트 사이에 연결되는 제2커패시터(C2), 일단이 제1전원전압(VDD)에 연결되는 제1제너다이오드(D1), 일단이 제1제너다이오드(D1)의 타단에 연결되고 타단이 전력 피모스 트랜지스터(PM1)의 게이트에 연결되는 제2제너다이오드(D2), 일단이 제2전원전압(VSS)에 연결되는 제3제너다이오드(D3), 및 일단이 제3제너다이오드(D3)의 타단에 연결되고 타단이 전력 엔모스 트랜지스터(NM1)의 게이트에 연결되는 제4제너다이오드(D4)를 구비한다.

<32> 제2 및 제4제너다이오드(D2, D4)는 일반적인 다이오드로 구성될 수도 있으나 제너 다이오드로 구성되는 것이 더 바람직하다.

<33> 도 4에 도시된 제2실시예에 따른 게이트 구동회로(43)는 전력 모스 트랜지스터들(PM1, PM2)에 인가되는 전원전압(VDD, VSS)을 변화시키더라도 제너 다이오드들(D1, D3)에 의해 전력 모스 트랜지스터들의 게이트-소오스 전압을 일정하게 유

지할 수 있다. 반면 전력 모스 트랜지스터들(PM1, PM2)이 턴오프될 때 제너 다이오드들(D1, D3)을 통해서 커패시터(C1, C2)가 방전되는 것을 막기 위하여 또 다른 제너 다이오드들(D2, D4)이 이용된다. 다이오드로서 일반 다이오드를 사용할 수도 있으나 제너 다이오드를 사용하면 전력 모스 트랜지스터들(PM1, PM2)의 게이트-소스간 역방향 전압을 제한할 수 있는 장점이 있다. 또한 제너 다이오드(D2, D4)의 항복전압을 조정함으로써 전력 모스 트랜지스터들(PM1, PM2)에 걸리는 전압과 커패시터(C1, C2)에 충전되는 전류 간의 상호 거래(trade-off)가 가능하다.

<34> 도 5는 본 발명의 제3실시예에 따른 전력 모스 트랜지스터의 게이트 구동회로를 나타내는 도면이다.

<35> 도 5를 참조하면, 본 발명의 제3실시예에 따른 게이트 구동회로(53)는, 제1전원전압(VDD)과 전력 피모스 트랜지스터(PM1)의 게이트 사이에 연결되는 제1저항(R1), 제2전원전압(VSS)과 전력 엔모스 트랜지스터(NM1)의 게이트 사이에 연결되는 제2저항(R2), 일단이 게이트 콘트롤러(31)의 출력단에 연결되는 제1커패시터(C1), 일단이 게이트 콘트롤러(31)의 출력단에 연결되는 제2커패시터(C2), 일단이 제1전원전압(VDD)에 연결되고 타단이 전력 피모스 트랜지스터(PM1)의 게이트에 연결되는 제1제너다이오드(D1), 일단이 제1커패시터(C1)의 타단에 연결되고 타단이 전력 피모스 트랜지스터(PM1)의 게이트에 연결되는 제2제너다이오드(D2), 일단이 제2전원전압(VSS)에 연결되고 타단이 전력 엔모스 트랜지스터(NM1)의 게이트에 연결되는 제3제너다이오드(D3), 및 일단이 제2커패시터(C2)의 타단에 연결되고 타단이 전력 엔모스 트랜지스터(NM1)의 게이트에 연결되는 제4제너다이오드(D4)를 구비한다.

- <36> 제1 내지 제4제너다이오드(D1-D4)는 일반적인 다이오드로 구성될 수도 있으나 제너 다이오드로 구성되는 것이 더 바람직하다.
- <37> 좀더 설명하면 도 5에 도시된 제3실시예에 따른 게이트 구동회로(53)는, 커패시터(C1,C2)에 충전된 전하가 방전되는 것을 막아주는 제너 다이오드(D2,D4)를 커패시터에 직렬로 연결함으로써 전력 MOS 트랜지스터(PM1,NM1)가 턴오프될 때 게이트 전압이 전원전압(VDD,VSS)의 범위를 벗어나는 것을 제한한다. 이에 따라 전력 MOS 트랜지스터(PM1,NM1)에 과 전압이 걸리지 않게 된다.
- <38> 한편 제3실시예에서는 방전 제한용 제너 다이오드(D2,D4)의 항복전압을 조정해서 전력 MOS 트랜지스터들이 턴오프되는 쪽에서 항복이 반드시 일어나야 한다. 도 4 및 도 5에서 저항(R1,R2)은 스위칭 동작에 필수적인 요소는 아니며 게이트 콘트롤러(31)가 동작하지 않을 때 커패시터(C1,C2)를 충전시켜 전력 MOS 트랜지스터(PM1,PM2)를 오프시키는 등의 보조기능을 한다.
- <39> 도 6은 본 발명의 제4실시예에 따른 전력 MOS 트랜지스터의 게이트 구동회로를 나타내는 도면이다.
- <40> 도 6을 참조하면, 제4실시예에 따른 게이트 구동회로(63)는 도 4에 도시된 제2실시예와 비교하여 전류원(631)을 더 구비한다.
- <41> 전류원(631)은, 일단이 게이트 콘트롤러(31)의 출력단에 연결되는 저항(R3), 에미터가 저항(R3)의 타단에 연결되고 베이스가 접지전압(GND)에 연결되며 콜렉터가 전력 피모스 트랜지스터(PM1)의 게이트에 연결되는 NPN 바이폴라 트랜지스터(Q1), 및 에미터가 저항(R3)의 타단에 연결되고 베이스가 접지전압(GND)에

연결되며 콜렉터가 전력 엔모스 트랜지스터(NM1)의 게이트에 연결되는 PNP 바이폴라 트랜지스터(Q2)를 포함하여 구성된다.

<42> 좀더 설명하면, 전력 모스 트랜지스터(PM1, NM1)중 어느 하나가 턴온되었을 때 게이트 콘트롤러(31)의 스위칭 주파수가 느리면 턴온된 전력 모스 트랜지스터에 연결된 커패시터가 저항 또는 제너 다이오드를 통해서 충전 또는 방전이 일어나면서 그 전력 모스 트랜지스터가 턴오프되게 된다. 그런데 도 6의 제4실시예와 같이 저항과 제너 다이오드를 통해서 들어오는 또는 빠지는 전류를 전류원(631)으로 보상해 주면 게이트 전압이 일정하게 유지된다. 이때 두 개의 바이폴라 트랜지스터(Q1, Q2)중 턴온되는 전력 모스 트랜지스터에 연결된 것만이 턴온되어 전류원을 형성하고 다른 쪽은 꺼지게 된다. 한편 저항(R3)의 값을 조정해서 전류원의 전류를 결정할 수 있고 턴온되는 전력 모스 트랜지스터의 게이트-소오스 전압은 전류원의 전류와 저항(R1, R2)의 곱으로 정할 수 있다.

<43> 도 7은 본 발명의 제5실시예에 따른 전력 모스 트랜지스터의 게이트 구동회로를 나타내는 도면이다.

<44> 도 7을 참조하면, 제5실시예에 따른 게이트 구동회로(73)는 도 5에 도시된 제3실시예와 비교하여 전류원(731)을 더 구비한다. 전류원(731)은 상기 전류원(631)과 동일한 구성을 갖는다. 제5실시예에 따른 게이트 구동회로(73)는 제4실시예와 마찬가지로 전류원(731)을 추가해서 게이트 콘트롤러(31) 출력신호의 주파수가 느릴 때 전력 모스 트랜지스터가 턴오프되는 현상을 방지한 것이다.

<45> 도 6 및 도 7의 전류원(631, 731)에서 NPN 바이폴라 트랜지스터(Q1) 대신에 엔모스 트랜지스터가 사용될 수 있고 PNP 바이폴라 트랜지스터(Q2) 대신에 피모

스 트랜지스터가 사용될 수 있다. 이러한 경우에는 피모스 트랜지스터는, 소오스가 저항(R3)의 타단에 연결되고 게이트가 접지전압(VSS)에 연결되며 드레인이 전력 피모스 트랜지스터(PM1)의 게이트에 연결된다. 엔모스 트랜지스터는, 소오스가 저항(R3)의 타단에 연결되고 게이트가 접지전압(VSS)에 연결되며 드레인이 전력 엔모스 트랜지스터(NM1)의 게이트에 연결된다.

<46> 이상 도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<47> 상술한 바와 같이 본 발명에 따른 게이트 구동회로는, 게이트 컨트롤러의 출력신호를 게이트 컨트롤러의 전원전압보다 더 높은 전원전압을 사용하는 전력 모스 트랜지스터에 전달할 때 게이트 컨트롤러의 출력신호를 듀티 싸이클 및 주파수에 관계없이 안정되고 효율적으로 전달할 수 있는 장점이 있다. 따라서 본 발명에 따른 게이트 구동회로는 게이트 컨트롤러 출력신호의 듀티 싸이클의 변화가 크고 스위칭 주파수가 일정하지 않은 경우에 적합하다.

【특허청구범위】

【청구항 1】

소오스에 제1전원전압이 인가되고 드레인에 출력단이 연결되는 전력 피모스 트랜지스터, 드레인에 상기 출력단이 연결되고 소오스에 제2전원전압이 인가되는 전력 엔모스 트랜지스터, 상기 제1전원전압보다 낮은 제3전원전압 및 상기 제2전원전압보다 낮은 제4전원전압을 사용하고 상기 전력 피모스 트랜지스터의 게이트와 상기 전력 엔모스 트랜지스터의 게이트를 제어하는 게이트 컨트롤러, 및 상기 출력단에 연결되고 인덕터와 커패시터로 구성되는 출력단 필터를 구비하는 디지털 오디오 증폭기에서의 전력 모스 트랜지스터의 게이트 구동회로에 있어서,

상기 제1전원전압과 상기 전력 피모스 트랜지스터의 게이트 사이에 연결되는 제1저항;

상기 제2전원전압과 상기 전력 엔모스 트랜지스터의 게이트 사이에 연결되는 제2저항;

상기 게이트 컨트롤러의 출력단과 상기 전력 피모스 트랜지스터의 게이트 사이에 연결되는 제1커패시터;

상기 게이트 컨트롤러의 출력단과 상기 전력 엔모스 트랜지스터의 게이트 사이에 연결되는 제2커패시터;

상기 게이트 컨트롤러의 출력단과 상기 전력 피모스 트랜지스터의 게이트 사이에 연결되는 제1제너다이오드; 및

상기 게이트 컨트롤러의 출력단과 상기 전력 엔모스 트랜지스터의 게이트 사이에 연결되는 제2제너다이오드를 구비하는 것을 특징으로 하는 전력 모스 트랜지스터의 게이트 구동회로.

【청구항 2】

소오스에 제1전원전압이 인가되고 드레인에 출력단이 연결되는 전력 피모스 트랜지스터, 드레인에 상기 출력단이 연결되고 소오스에 제2전원전압이 인가되는 전력 엔모스 트랜지스터, 상기 제1전원전압보다 낮은 제3전원전압 및 상기 제2전원전압보다 낮은 제4전원전압을 사용하고 상기 전력 피모스 트랜지스터의 게이트와 상기 전력 엔모스 트랜지스터의 게이트를 제어하는 게이트 컨트롤러, 및 상기 출력단에 연결되고 인덕터와 커패시터로 구성되는 출력단 필터를 구비하는 디지털 오디오 증폭기에서의 전력 모스 트랜지스터의 게이트 구동회로에 있어서,

상기 제1전원전압과 상기 전력 피모스 트랜지스터의 게이트 사이에 연결되는 제1저항;

상기 제2전원전압과 상기 전력 엔모스 트랜지스터의 게이트 사이에 연결되는 제2저항;

상기 게이트 컨트롤러의 출력단과 상기 전력 피모스 트랜지스터의 게이트 사이에 연결되는 제1커패시터;

상기 게이트 컨트롤러의 출력단과 상기 전력 엔모스 트랜지스터의 게이트 사이에 연결되는 제2커패시터;

일단이 상기 제1전원전압에 연결되는 제1제너다이오드;

일단이 상기 제1제너다이오드의 타단에 연결되고 타단이 상기 전력 피모스 트랜지스터의 게이트에 연결되는 제2제너다이오드;

일단이 상기 제2전원전압에 연결되는 제3제너다이오드; 및

일단이 상기 제3제너다이오드의 타단에 연결되고 타단이 상기 전력 엔모스 트랜지스터의 게이트에 연결되는 제4제너다이오드를 구비하는 것을 특징으로 하는 전력 모스 트랜지스터의 게이트 구동회로.

【청구항 3】

소오스에 제1전원전압이 인가되고 드레인에 출력단이 연결되는 전력 피모스 트랜지스터, 드레인에 상기 출력단이 연결되고 소오스에 제2전원전압이 인가되는 전력 엔모스 트랜지스터, 상기 제1전원전압보다 낮은 제3전원전압 및 상기 제2전원전압보다 낮은 제4전원전압을 사용하고 상기 전력 피모스 트랜지스터의 게이트와 상기 전력 엔모스 트랜지스터의 게이트를 제어하는 게이트 컨트롤러, 및 상기 출력단에 연결되고 인덕터와 커패시터로 구성되는 출력단 필터를 구비하는 디지털 오디오 증폭기에서의 전력 모스 트랜지스터의 게이트 구동회로에 있어서,

상기 제1전원전압과 상기 전력 피모스 트랜지스터의 게이트 사이에 연결되는 제1저항;

상기 제2전원전압과 상기 전력 엔모스 트랜지스터의 게이트 사이에 연결되는 제2저항;

일단이 상기 게이트 컨트롤러의 출력단에 연결되는 제1커패시터;

일단이 상기 게이트 컨트롤러의 출력단에 연결되는 제2커패시터;

일단이 상기 제1전원전압에 연결되고 타단이 상기 전력 피모스 트랜지스터의 게이트에 연결되는 제1제너다이오드;

일단이 상기 제1커패시터의 타단에 연결되고 타단이 상기 전력 피모스 트랜지스터의 게이트에 연결되는 제2제너다이오드;

일단이 상기 제2전원전압에 연결되고 타단이 상기 전력 엔모스 트랜지스터의 게이트에 연결되는 제3제너다이오드; 및

일단이 상기 제2커패시터의 타단에 연결되고 타단이 상기 전력 엔모스 트랜지스터의 게이트에 연결되는 제4제너다이오드를 구비하는 것을 특징으로 하는 전력 모스 트랜지스터의 게이트 구동회로.

【청구항 4】

제2항 또는 제3항에 있어서,

상기 전력 피모스 트랜지스터의 게이트, 상기 전력 엔모스 트랜지스터의 게이트, 및 상기 게이트 컨트롤러의 출력단에 연결되는 전류원을 더 구비하는 것을 특징으로 하는 전력 모스 트랜지스터의 게이트 구동회로.

【청구항 5】

제4항에 있어서, 상기 전류원은,

일단이 상기 게이트 컨트롤러의 출력단에 연결되는 저항;

에미터가 상기 저항의 타단에 연결되고 베이스가 접지전압에 연결되며 콜렉터가 상기 전력 피모스 트랜지스터의 게이트에 연결되는 NPN 바이폴라 트랜지스터; 및

에미터가 상기 저항의 타단에 연결되고 베이스가 접지전압에 연결되며 콜렉터가 상기 전력 엔모스 트랜지스터의 게이트에 연결되는 PNP 바이폴라 트랜지스터를 구비하는 것을 특징으로 하는 전력 모스 트랜지스터의 게이트 구동회로.

【청구항 6】

제4항에 있어서, 상기 전류원은,

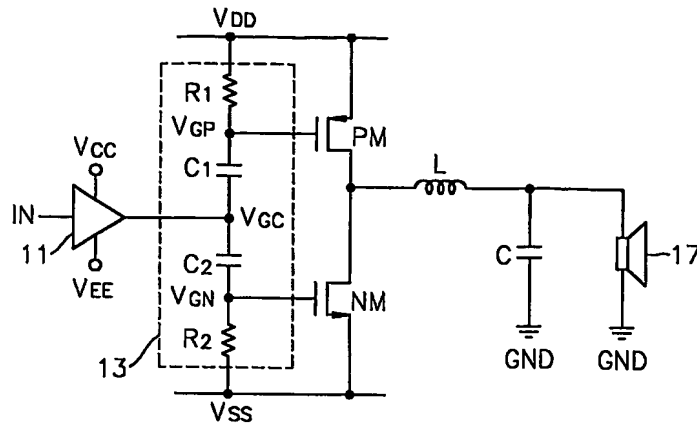
일단이 상기 게이트 콘트롤러의 출력단에 연결되는 저항;

소오스가 상기 저항의 타단에 연결되고 게이트가 접지전압에 연결되며 드레인이 상기 전력 피모스 트랜지스터의 게이트에 연결되는 엔모스 트랜지스터; 및

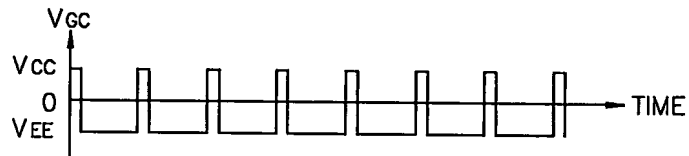
소오스가 상기 저항의 타단에 연결되고 게이트가 접지전압에 연결되며 드레인이 상기 전력 엔모스 트랜지스터의 게이트에 연결되는 피모스 트랜지스터를 구비하는 것을 특징으로 하는 전력 모스 트랜지스터의 게이트 구동회로.

【도면】

【도 1】



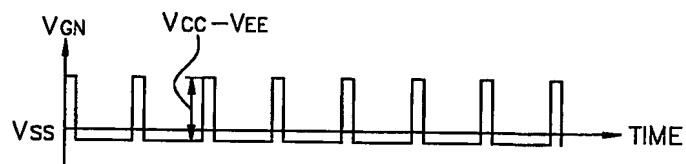
【도 2a】



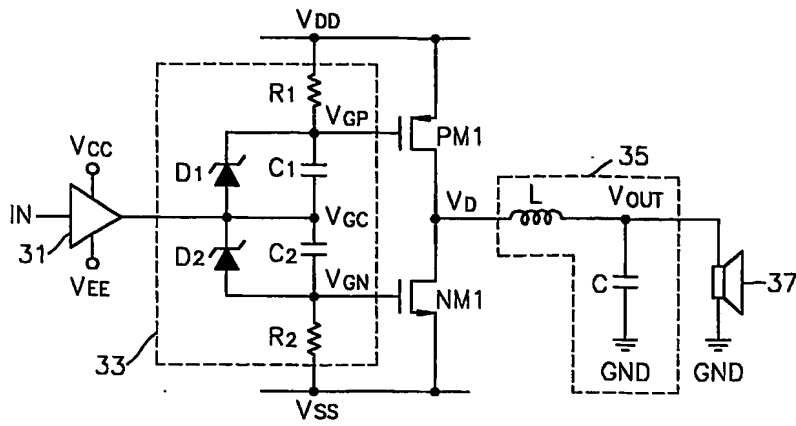
【도 2b】



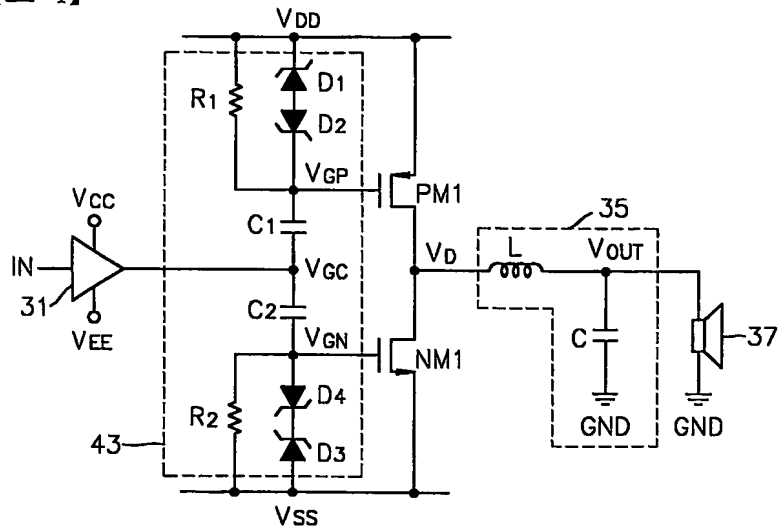
【도 2c】



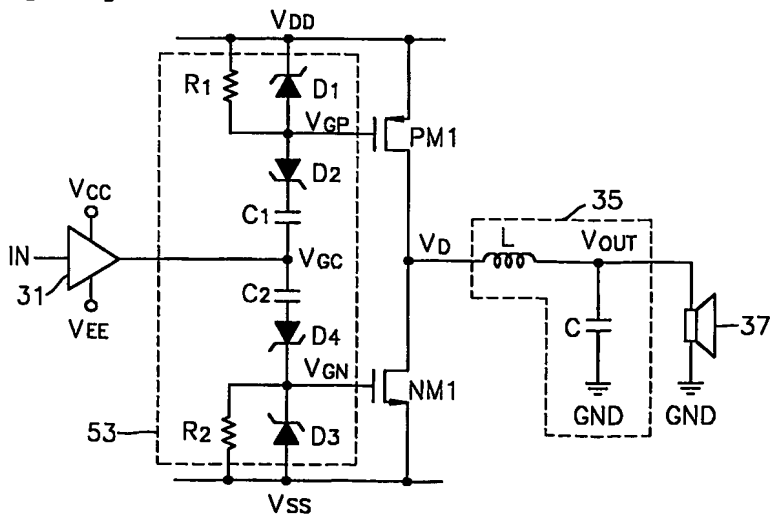
【도 3】



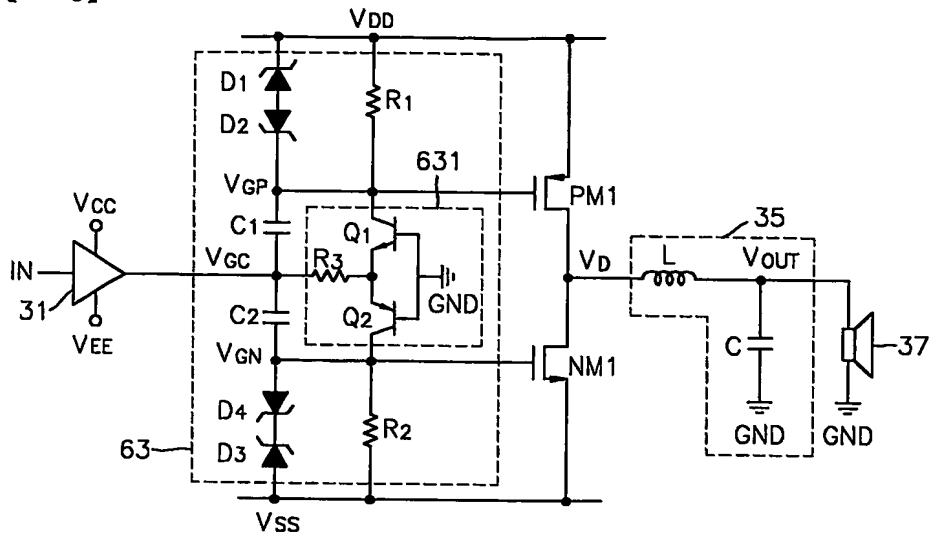
【도 4】



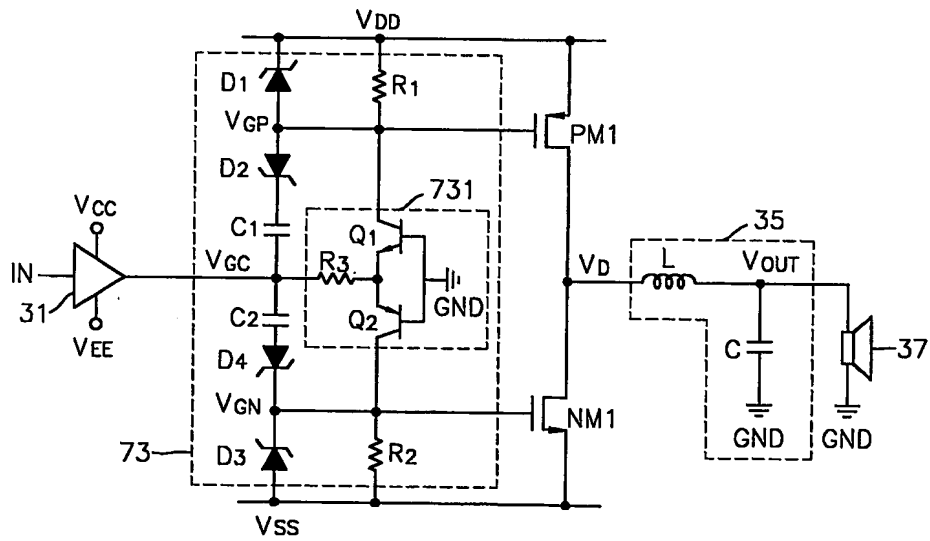
【도 5】



【도 6】



【도 7】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.